

503P0991W000

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-127626

(P 2 0 0 1 - 1 2 7 6 2 6 A)

(43) 公開日 平成13年5月11日(2001.5.11)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
H03L 7/10		H03L 7/10	A 5J106
7/08		7/08	M 5K047
7/183		7/18	B
H04L 7/033		H04L 7/02	B

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号	特願平11-304609	(71) 出願人	000004075 ヤマハ株式会社 静岡県浜松市中沢町10番1号
(22) 出願日	平成11年10月26日(1999.10.26)	(72) 発明者	富松 清行 静岡県浜松市中沢町10番1号 ヤマハ株式会社内
		(72) 発明者	土戸 利昭 静岡県浜松市中沢町10番1号 ヤマハ株式会社内
		(74) 代理人	100064908 弁理士 志賀 正武 (外1名)

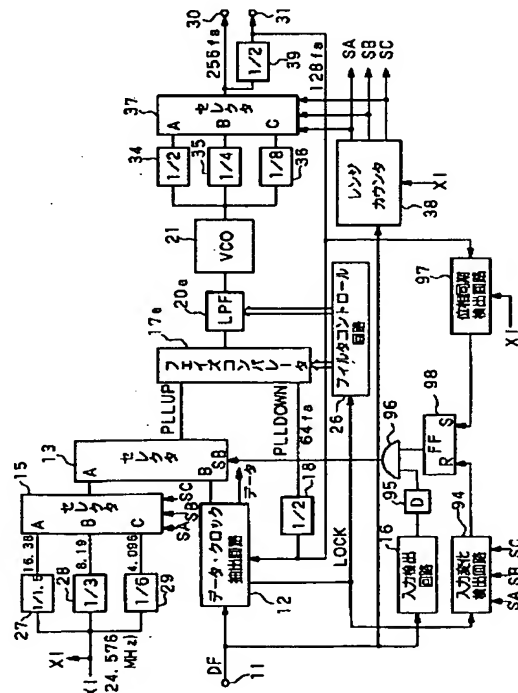
最終頁に続く

(54) 【発明の名称】 PLL 回路

(57) 【要約】

【課題】 容易にロック状態へ移行することができ、また、ロック周波数幅を従来のものより広げることなく、しかも、従来より広い範囲のサンプリング周波数に対応できるPLL回路を提供する。

【解決手段】 入力端子11にデータ列DFなしの時のロック周波数を予め高く設定しておき、データ列DFが印加された時、ロック周波数が低い周波数に移行するようにする。これにより、データ列DF印加時のロックの移行が容易になる。また、レンジカウンタ38によってデータ列DFの周波数を検出し、その結果にしたがって分周回路34~36のいずれかを選択して使用する。これにより、VCO21の出力の可変周波数幅を従来のものより広げることなく、しかも、従来より広い範囲のサンプリング周波数に対応することが可能となる。



EST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 一定周波数の第1のクロック信号と、外部から入力される入力データ列から抽出した第2のクロック信号とが各々供給され、前記入力データ列がデータなしの状態の時前記第1のクロック信号を選択し、前記入力データ列がデータありの状態の時前記第2のクロック信号を選択する選択手段を有し、前記選択手段によって選択されたクロック信号に同期した信号を発生するPLL回路において、

前記第1のクロック信号の周波数を前記入力データ列から抽出されるクロック信号の最大周波数より大に設定したことを特徴とするPLL回路。

【請求項2】 一定周波数の第1のクロック信号と、外部から入力される入力データ列から抽出した第2のクロック信号とが各々供給され、前記入力データ列がデータなしの状態の時前記第1のクロック信号を選択し、前記入力データ列がデータありの状態の時前記第2のクロック信号を選択する選択手段を有し、前記選択手段によって選択されたクロック信号に同期した信号を発生するPLL回路において、

前記選択手段の出力と、PLL回路の出力信号を分周した信号との位相比較を行う位相比較器と、

前記位相比較器の出力が印加されるローパスフィルタと、

前記ローパスフィルタの出力電圧に応じた周波数で発振する電圧制御発振器と、

前記入力データ列のデータ周波数を検出する検出手段と、

前記電圧制御発振器の出力を前記検出手段の検出結果に応じた分周比で分周する分周手段と、

を具備し、前記第1のクロック信号の周波数を前記入力データ列から抽出されるクロック信号の最大周波数より大に設定したことを特徴とするPLL回路。

【請求項3】 前記分周手段は、前記電圧制御発振器の出力を分周する複数の分周回路と、前記分周回路の出力を前記検出手段の出力に基づいて選択する選択手段とから構成されることを特徴とする請求項2に記載のPLL回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、CDプレーヤ、LDプレーヤ等から出力されるデジタル出力信号をアナログ信号に再生する再生回路に用いて好適なPLL回路に関する。

## 【0002】

【従来の技術】 図4は、この種の再生回路の概略構成を示すブロック図である。この図において、1はCDプレーヤであり、デジタル音楽データをシリアルデータに変換して出力する。2はバッファアンプであり、CDプレーヤ1の出力を増幅し、シリアル音楽データ列DFと

して出力する。図5（ロ）にデータ列DFの波形を示す。このデータ列DFは、音楽データのサンプリング周波数を $f_s$ とすると、同図（イ）に示す周波数 $128f_s$ のクロック信号によってCDプレーヤ1から出力される。また、データ列DFにおける1ビットは、上記クロック信号の2周期に対応している。

【0003】 3はデジタルオーディオインターフェイスレシーバ（以下、DIRという）であり、バッファアンプ2の出力データ列DFからクロック信号およびデータを抽出してDAC（デジタル・アナログ・コンバータ）4へ出力する。ここで、DIR3は、周波数が $256f_s$ のマスタクロックMCKと、周波数が $64f_s$ のビットクロックBCKと、周波数が $f_s$ のワードクロックWCKの3種類のクロック信号をPLL回路によって形成し、出力すると共に、ビットクロックBCKのタイミングで音楽データを出力する。図6に各クロックおよびデータのタイミングを示す。DAC4は、DIR3から出力されるデータをアナログ信号に変換し、出力する。

【0004】 図7は上述したDIR3に内蔵されるPLL回路の構成を示すブロック図である。この図において、11はバッファアンプ2（図4）の出力データ列DFが印加される入力端子であり、この入力端子11へ印加されたデータ列DFはデータ・クロック抽出回路12へ入力される。データ・クロック抽出回路12は、データ列DFから周波数 $64f_s$ のクロック信号を抽出してセレクト13へ出力すると共に、出力端子31に得られる $128f_s$ のクロック信号に基づいてデータ列DFから音楽データを抽出する。

【0005】 XIは $12.288\text{MHz}$ のクロック信号であり、水晶振動子による発振回路（図示略）において形成される。14は分周回路であり、クロック信号XIを $1/4$ の周波数（ $3.072\text{MHz}$ ）のクロック信号に変換し、セレクト13へ出力する。

【0006】 16は入力検出回路であり、入力端子11へデータ列DFが印加されているか否かを入力端子11の電圧レベルの変化から検出し、印加されていた場合に“1”信号を、されていない場合に“0”信号をセレクト13へ出力する。セレクト13は入力検出回路16の出力が“1”の場合にデータ・クロック抽出回路12の出力を選択して出力し、“0”の場合に分周回路14の出力を選択して出力する。

【0007】 フェイズコンパレータ（位相比較器）17は、セレクト13の出力と、出力端子31に得られる周波数 $128f_s$ のクロック信号を分周回路18によって $1/2$ に分周したクロック信号（周波数： $64f_s$ ）との位相比較を行ってその結果をLPF（ローパスフィルタ）20へ出力する。LPF20はフェイズコンパレータ17の出力の内の低周波成分のみをVCO（電圧制御発振器）21へ出力する。VCO21はLPF20の出

力電圧に対応する周波数で発振する発振器であり、その出力クロック信号（周波数：512 fs）は分周回路22へ供給される。

【0008】分周回路22はVCO21から出力されるクロック信号を1/2に分周し、周波数256 fsのクロック信号として出力端子30および分周回路23へ出力する。分周回路23は分周回路22の出力を1/2に分周し、周波数128 fsのクロック信号として出力端子31へ出力するとともに、前述したデータ・クロック抽出回路12および分周回路18へ出力する。分周回路18は、分周回路23の出力を1/2分周し、フェイズコンパレータ17および出力端子32へ出力する。

【0009】このような構成によるPLL回路において、入力端子11へデータ列DFが印加されている時は、入力検出回路16から"1"信号が出力され、これにより、データ・クロック抽出回路12から出力されるクロック信号（周波数：64 fs）がセレクト13を介してフェイズコンパレータ17へ供給される。この結果、PLL回路が周波数64 fsの上記クロック信号にロックし、出力端子30～32から出力される各クロック信号はいずれもデータ・クロック抽出回路12から出力されるクロック信号に同期した信号となる。

【0010】一方、入力端子11へデータ列DFが印加されていない時は、入力検出回路16から"0"信号が出力され、これにより、分周回路14の出力（周波数：64 fs）がセレクト13を介してフェイズコンパレータ17へ供給される。この結果、PLL回路が周波数64 fsの上記クロック信号にロックし、出力端子30～32から出力される各クロック信号はいずれも分周回路14から出力されるクロック信号に同期した信号となる。

【0011】このように、図7に示すPLL回路は、CDプレーヤ1（図4）からデータ列が出力されている時はそのデータ列から抽出されたクロック信号に同期し、データ列が出力されていない時は内部の水晶発振回路から出力されるクロック信号XIに同期して発振するようになっている。

【0012】

【発明が解決しようとする課題】ところで、図4に示すDIR3はCDプレーヤだけでなく、LD（レーザディスク）プレーヤ、BS（衛星放送）受信装置等にも用いられる。この場合、サンプリング周波数は、BSが32.48 KHz、CDは44.1 KHz、LDは48 KHzであり、したがって、64 fsはBSが2.079 MHz、CDが2.822 MHz、LDが3.072 MHzとなる。一方分周回路14の出力の周波数は3.072 MHzである。

【0013】したがって、CD、BSの場合はデータ列DFが印加されていない状態から、データ列DFが印加された時にPLL回路のロック周波数が上記3.072

MHzからより低い周波数に移ることになる。そして、この場合には特に問題は生じない。しかし、LDの場合には、PLL回路のロック周波数がより高い周波数に移る場合がある。すなわち、LDプレーヤの出力周波数は、

$$47.95 \text{ (KHz)} \times 64 \sim 48.05 \text{ (KHz)} \times 64$$

の範囲で変動し、したがって、高い場合（ $48.05 \times 64 = 3.075 \text{ MHz}$ ）はPLL回路のロック周波数がより高い周波数に移る必要が生じる。しかし、PLL回路は、ロック周波数がこのように高い周波数に移る場合に、うまくロックが移れない場合が生じる。従来、このような場合、一旦データ列DFをオフとした後再度オンとすることを繰り返し行ってロック状態とさせていた。

【0014】他方、近年開発が進んでいるDVD（デジタルオーディオディスク）は、サンプリング周波数が96 KHzであり、さらにサンプリング周波数192 KHzのメディアも開発されつつある。そこで、図7のPLL回路をこれらの高いサンプリング周波数にも対応させる必要が生じている。しかし、PLL回路をサンプリング周波数32.48 KHzから192 KHzにわたって対応させるということは、2.79 MHz～12.29 MHzという広い範囲にわたってPLL回路のロックがとれなければならない、特に、電源電圧が3V、2.5V等のように低い場合はPLL回路の設計が非常に難しくなるという問題がある。

【0015】この発明は、このような事情を考慮してなされたもので、第1の目的は容易にロック状態とすることができるPLL回路を提供することにある、また、第2の目的は、ロック周波数幅を従来のものより広げることなく、しかも、従来より広い範囲のサンプリング周波数に対応できるPLL回路を提供することにある。

【0016】

【課題を解決するための手段】上記の目的を解決するために、請求項1に記載の発明は、一定周波数の第1のクロック信号と、外部から入力される入力データ列から抽出した第2のクロック信号とが各々供給され、前記入力データ列がデータなしの状態の時前記第1のクロック信号を選択し、前記入力データ列がデータありの状態の時前記第2のクロック信号を選択する選択手段を有し、前記選択手段によって選択されたクロック信号に同期した信号を発生するPLL回路において、前記第1のクロック信号の周波数を前記入力データ列から抽出されるクロック信号の最大周波数より大に設定したことを特徴とする。

【0017】また、請求項2に記載の発明は、一定周波数の第1のクロック信号と、外部から入力される入力データ列から抽出した第2のクロック信号とが各々供給され、前記入力データ列がデータなしの状態の時前記第1のクロック信号を選択し、前記入力データ列がデータあ

りの状態の時前記第2のクロック信号を選択する選択手段を有し、前記選択手段によって選択されたクロック信号に同期した信号を発生するPLL回路において、前記選択手段の出力と、PLL回路の出力信号を分周した信号との位相比較を行う位相比較器と、前記位相比較器の出力が印加されるローパスフィルタと、前記ローパスフィルタの出力電圧に応じた周波数で発振する電圧制御発振器と、前記入力データ列のデータ周波数を検出する検出手段と、前記電圧制御発振器の出力を前記検出手段の検出結果に応じた分周比で分周する分周手段とを具備し、前記第1のクロック信号の周波数を前記入力データ列から抽出されるクロック信号の最大周波数より大に設定したことを特徴とする。

【0018】また、請求項3に記載の発明は、前記分周手段を、前記電圧制御発振器の出力を分周する複数の分周回路と、前記分周回路の出力を前記検出手段の出力に基づいて選択する選択手段とから構成したことを特徴とする。

【0019】

【発明の実施の形態】以下、図面を参照しこの発明の実施形態について説明する。図1はこの発明の実施形態によるPLL回路の構成を示すブロック図である。この図において、11はCDプレーヤ等から出力されるデータ列DFが印加される端子、12はデータ・クロック抽出回路である。このデータ・クロック抽出回路12は、データ列DFから周波数 $64fs$ のクロック信号およびデータを抽出すると共に、プリアンプ検出信号LOCKを出力する。このプリアンプ検出信号LOCKとは、データ列DFの各データとデータ抽出用のクロック信号( $128fs$ )との同期がとれた時、言い換えれば、PLL回路のロックがかかった時に検出される信号であり、ロックがかかっていない時は検出されない。すなわち、データ列DF中に存在するプリアンプ信号は同期がとれた時のみ検出することができ、プリアンプ検出信号LOCKは、このプリアンプ信号を検出した時出力される。

【0020】18は $1/2$ 分周回路である。27~29は各々周波数24、576MHzのクロック信号XIを $1/1$ 、 $1/3$ 分周、 $1/6$ 分周する分周回路である。15は上述した分周回路27~29の出力のいずれかを後述する信号SA~SCに基づいて選択し、出力するセレクタである。16は入力端子11へデータ列が印加されているか否かを検出する入力検出回路であり、その出力は遅延回路95を介してアンドゲート96へ供給される。94は入力変化検出回路であり、上述したプリアンプ検出信号LOCKまたは信号SA~SCのいずれかに変化があった時パルス信号を出力する。

【0021】次に、フェイズコンパレータ17a、LPF20a、VCO21の詳細を図2に示す。この図に示すフェイズコンパレータ17aにおいて、40は位相比

較部であり、この位相比較部40のPULLUP出力信号40aはインバータ41、ナンドゲート42を介してナンドゲート43~45の一方の入力端へ印加され、また、PULLDOWN出力信号40bはノアゲート46を介してノアゲート47~49の一方の入力端へ印加される。

【0022】ナンドゲート43~45およびノアゲート47~49は各々端子51~53の信号によって開/閉制御されるゲートであり、端子51~53へ"1, 0, 0"なる信号が印加されると、PULLUP信号40aおよびPULLDOWN信号40bが各々ゲート43、47からLPF20aへ出力され、端子51~53へ"0, 1, 0"なる信号が印加されると、PULLUP信号40aおよびPULLDOWN信号40bが各々ゲート44、48からLPF20aへ出力され、また、端子51~53へ"0, 0, 1"なる信号が印加されると、PULLUP信号40aおよびPULLDOWN信号40bが各々ゲート45、49からLPF20aへ出力される。上述した端子51~53へは、端子26を介してフィルタコントロール回路26(図1)から制御信号が供給される。

【0023】LPF20aは電流制御部51とCR回路52から構成されている。電流制御部51において、53は定電流源、54はバッファFETである。FET55、56とFET58、59(またはFET60、61またはFET62、63)はカレントミラー回路を構成している。また、FET64~66はアナログスイッチであり、上述したナンドゲート43~45の出力によってオン/オフ制御される。また、FET67~69もアナログスイッチであり、上述したノアゲート47~49の出力によってオン/オフ制御される。

【0024】次に、CR回路52において、70~76はスイッチ、80~85はシリアル接続された抵抗、86は外付けのコンデンサである。そして、スイッチ70~76が端子26bを介してフィルタコントロール回路26から供給される制御信号によってオン/オフ制御される。

【0025】このような構成において、CR回路52の時定数がスイッチ70~76のオン/オフ状態によって制御され、言い換えれば、端子26へ印加される制御信号によって制御される。また、CR回路52の充放電電流が、スイッチ64~69のオン/オフ状態、言い換えれば端子26aへ印加される制御信号によって制御される。すなわち、このLPF20aは端子26a、26bへ印加される制御信号によってフィルタ特性を種々変えることができるようになっている。

【0026】次に、VCO21において、88はLPF20aの出力を増幅するバッファアンプ、91はリングオシレータ、90はリングオシレータ91の電流を制御する電流制御回路であり、リングオシレータ91

の発振周波数がLPF20aの出力にしたがって制御される。

【0027】次に、図1において、フィルタコントロール回路26は、上述したLPF20aのフィルタ特性を制御する制御信号を出力する回路であり、予め内部に2組の制御信号の組を記憶している。1組はPLL回路のフィードバック時定数が小さくなる、言い換えれば早い応答となる制御信号であり、他の1組はフィードバック時定数が大きくなる、すなわち遅い応答となる制御信号である。そして、フィルタコントロール回路26は、データ・クロック抽出回路12からプリアンプル検出信号LOCKが出力されない時、すなわち、PLL回路のロックがかかっていない時はフィードバック時定数が小さくなる制御信号を端子26a、26bへ出力し、プリアンプル検出信号LOCKが出力されている時、すなわち、PLL回路のロックがかかっている時はフィードバック時定数が大きくなる制御信号を端子26a、26bへ出力する。

【0028】PLL回路は、フィードバック時定数が小さく、応答が早い時はロックがかかり易いが、同時に外れ易く、フィードバック時定数が大きく、応答が遅い時はロックがかかり難いが、外れ難い。したがって、上記の構成により、ロックがかかり易く、しかも外れ難いPLL回路とすることができる。

【0029】次に、図1において、34、35、36は各々1/2分周回路、1/4分周回路、1/8分周回路である。37は分周回路34~36の各出力の内の1つを、レンジカウンタ38の出力信号SA~SCに基づいて選択し、出力するセクタ、39は1/2分周回路である。レンジカウンタ38は、データ列DFに存在するプリアンプル信号の間隔をクロック信号XI(24.576MHz)に基づいて測定することによりデータ列DFの周波数を決定する。そして、データ列DFの周波数が

$$12.288\text{MHz}=192\text{KHz}\times 64$$

であった場合は、制御信号SAを出力し、

$$6.144\text{MHz}=96\text{KHz}\times 64$$

であった場合は、制御信号SBを出力し、

$$3.072\text{MHz}=48\text{KHz}\times 64$$

であった場合または「0」(無入力)であった場合は、制御信号SCを出力する。

【0030】97は位相同期検出回路であり、PLLループがクロック信号XIと同期した時パルス信号を出力する。上述した構成により、入力データ列DFのサンプリング周波数が48KHz、96KHz、192KHzのどの場合でもVCO21の発振周波数の変動幅を131.07MHz~98.3MHzとすることができる。以下、このサンプリング周波数とVCO21の発振周波数との関係を詳述する。

【0031】まず、入力データ列DFが0(無入力)の

場合、レンジカウンタ38は信号SCを出力する。これにより、セクタ15が1/6分周回路29の出力を選択し、また、セクタ37が1/8分周回路36の出力を選択する。セクタ15によって1/6分周回路29の出力が選択されると、

$$24.576/6=4.096\text{MHz}$$

のクロック信号がセクタ15を介してセクタ13の入力端Aへ印加される。

【0032】この時、フリップフロップ98の出力は"0"であり、したがってアンドゲート96の出力も"0"であり、セクタ13は上述したセクタ15から出力される4.096MHzのクロック信号をフェイズコンパレータ17aへ出力する。この結果、PLLループが上記4.096MHzのクロック信号にロックし、したがって、VCO21の発振周波数が、

$$4.096\times 2\times 2\times 8=131.072\text{MHz}$$

となる。(上記2、2、8は分周回路18、39、36の分周比である。)

【0033】一方、位相同期検出回路97は、PLLループがクロック信号XIに同期した時点でパルス信号を出力する。これにより、フリップフロップ98がセットされ、アンドゲート96が開状態となる。しかし、この時点で入力検出回路16の出力は"0"であり、したがって、アンドゲート96の出力も"0"状態を続け、PLLループのロック状態に変化は起きない。

【0034】次に、入力端子11へサンプリング周波数192KHzの楽音信号に基づくデータ列DF(周波数:  $192\times 64=12.288\text{MHz}$ )が印加されたとすると、レンジカウンタ38は信号SAを出力する。これにより、セクタ15は1/1.5分周回路27の出力を選択し、また、セクタ37は1/2分周回路34の出力を選択する。セクタ15が分周回路27の出力を選択すると、同分周回路27から出力される周波数16.38MHzのクロック信号がセクタ15から出力され、セクタ13の入力端Aへ印加される。

【0035】一方、この時、入力変化検出回路94は信号SAの変化を検出し、パルス信号をフリップフロップ98へ出力する。これによりフリップフロップ94がリセットされ、したがって、アンドゲート96が閉状態となり、セクタ13の選択端子SBへ"0"が供給される。この結果、セクタ15の出力である16.38MHzのクロック信号がセクタ13を介してフェイズコンパレータ17aへ出力される。これにより、PLLループが上記16.38MHzのクロック信号にロックし、したがって、VCO21の発振周波数が、

$$16.384\times 2\times 2\times 2=131.072\text{MHz}$$

となる。

【0036】また、位相同期検出回路97は、前述した場合と同様に、PLLループがクロック信号XIに同期した時点でパルス信号を出力する。これにより、フリッ

ブフロップ98がセットされ、アンドゲート96が開状態となる。この時、入力検出回路16の出力は”1”であり、したがって、アンドゲート96の出力が”1”となり、セクタ13がデータ・クロック抽出回路12の出力を選択し、出力する。ここで、データ・クロック抽出回路12の出力は、データ列DFから抽出された12.288MHzのクロック信号であり、したがって、以後、PLLループはこのクロック信号にロックし、VCO21の発振周波数は、

$$12.288 \times 2 \times 2 \times 2 = 98.304 \text{ MHz}$$

となる。すなわち、VCO21の発振周波数は、データ列DFから抽出されたクロック信号にロックする際に131.072MHzから98.304MHzに変化する。

【0037】次に、入力端子11へサンプリング周波数96KHzの楽音信号に基づくデータ列DF（周波数： $96 \times 64 = 6.144 \text{ MHz}$ ）が印加されると、レンジカウンタ38は信号SBを出力する。これにより、セクタ15は1/3分周回路28の出力を選択し、また、セクタ37は1/4分周回路35の出力を選択する。セクタ15が分周回路28の出力を選択すると、同分周回路28から出力される周波数8.19MHzのクロック信号がセクタ15から出力され、セクタ13の入力端Aへ印加される。

【0038】一方、この時、入力変化検出回路94は信号SBの変化を検出し、パルス信号をフリップフロップ98へ出力する。これによりフリップフロップ94がリセットされ、アンドゲート96が開状態となり、セクタ13の選択端子SBへ”0”が供給される。この結果、セクタ15の出力である16.38MHzのクロック信号がセクタ13を介してフェイズコンパレータ17aへ出力され、PLLループが上記16.38MHzのクロック信号にロックし、したがって、VCO21の発振周波数は、

$$8.192 \times 2 \times 2 \times 4 = 131.072 \text{ MHz}$$

となる。

【0039】また、位相同期検出回路97は、PLLループがクロック信号XIに同期した時点でパルス信号を出力する。これにより、フリップフロップ98がセットされ、アンドゲート96が開状態となる。この時、入力検出回路16の出力は”1”であり、したがって、アンドゲート96の出力が”1”となり、セクタ13がデータ・クロック抽出回路12の出力を選択し、出力する。ここで、データ・クロック抽出回路12の出力は、データ列DFから抽出された6.144MHzのクロック信号であり、したがって、以後、PLLループはこのクロック信号にロックし、VCO21の発振周波数は、

$$6.144 \times 2 \times 2 \times 4 = 98.304 \text{ MHz}$$

となる。すなわち、VCO21の発振周波数は、上述した場合と同様に、データ列DFから抽出されたクロック

ク信号にロックする際に131.072MHzから98.304MHzに変化する。

【0040】次に、入力端子11へサンプリング周波数48KHzの楽音信号に基づくデータ列DF（周波数： $48 \times 64 = 3.072 \text{ MHz}$ ）が印加されると、レンジカウンタ38は信号SCを出力する。これにより、セクタ15は1/6分周回路29の出力を選択し、また、セクタ37は1/8分周回路36の出力を選択する。この結果、PLLループが4.096MHzのクロック信号にロックし、したがって、VCO21の発振周波数が、

$$4.096 \times 2 \times 2 \times 8 = 131.072 \text{ MHz}$$

となる。

【0041】次いで、位相同期検出回路97が、PLLループがクロック信号XIに同期した時点でパルス信号を出力すると、フリップフロップ98がセットされる。この時、入力検出回路16の出力は”1”であり、したがって、アンドゲート96の出力が”1”となり、セクタ13がデータ・クロック抽出回路12の出力を選択し、出力する。ここで、データ・クロック抽出回路12の出力は、データ列DFから抽出された3.072MHzのクロック信号であり、したがって、以後、PLLループはこのクロック信号にロックし、VCO21の発振周波数は、

$$3.072 \times 2 \times 2 \times 8 = 98.304 \text{ MHz}$$

となる。すなわち、VCO21の発振周波数は、上述した場合と同様に、データ列DFから抽出されたクロック信号にロックする際に131.072MHzから98.304MHzに変化する。

【0042】次に、データ列DFが0に戻った場合、前述した場合と同様にレンジカウンタ38が信号SCを出力し、したがって、まず、PLLループが分周回路27から出力される4.096MHzのクロック信号にロックする。次いで、位相同期検出回路97からパルス信号が出力され、フリップフロップ98がセットされ、アンドゲート96が開状態となるが、この時、入力検出回路16の出力が”0”であり、したがって、アンドゲート96の出力が”0”を続け、PLLループは分周回路27の出力に同期した状態で次の入力待。

【0043】図3はLPF20aの出力電圧VとVCO21の発振周波数との関係を示す図であり、(イ)はサンプリング周波数が192KHzの場合、(ロ)は96KHzの場合、(ハ)は48KHzの場合である。この図からも明らかなように、上述したPLL回路によれば、VCO21の発振周波数幅が131.07MHz～98.3MHzの範囲において変化するだけで、サンプリング周波数192KHz～48KHzの範囲にわたる入力データ列に対応することができる。また、上記説明から明らかなように、このPLL回路はデータ列DFの周波数が変化した場合、まず、VCO21の発振周波数が最も高い131.07MHzとなり、次いで、より低

い周波数である98.3MHzへ移行し、ロックされる。すなわち、常に低い周波数へロックが移ることから、ロックがとれ難い問題を解決することができる。

【0044】

【発明の効果】以上説明したように、この発明によれば、データ列が入力される以前のクロック信号の周波数を、入力されたデータ列から抽出されるクロック信号の最大周波数より大に設定したので、データ列が入力される以前の状態からデータ列が入力された時に、容易にロック状態へ移行することができる効果がある。また、この発明によれば、入力データ列のデータ周波数を検出する検出手段と、電圧制御発振器の出力を検出手段の検出結果に応じた分周比で分周する分周手段とを設けたので、ロック周波数幅を従来のものより広げることなく、しかも、従来より広い範囲のサンプリング周波数に対応することができる効果がある。これにより、PLL回路の設計が容易になる利点が得られる。

【図面の簡単な説明】

【図1】 この発明の一実施形態の構成を示すブロック図である。

20

【図2】 同実施形態におけるフェイズコンパレータ17a、LPF20a、VCO21の詳細を示す回路図である。

【図3】 同実施形態の動作を説明するためのグラフである。

【図4】 CDプレーヤの再生回路の概略を示すブロック図である。

【図5】 図4におけるCDプレーヤ1の出力を説明するためのタイミング図である。

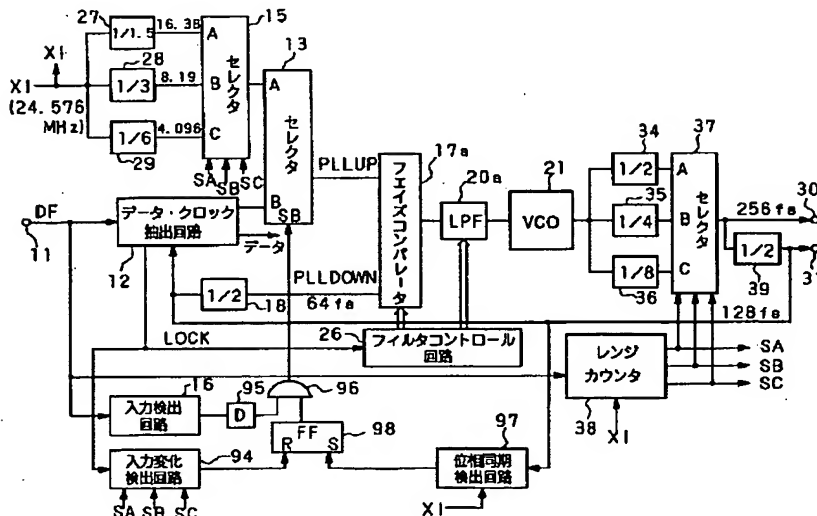
【図6】 図4におけるDIR3から出力されるクロック信号およびデータのタイミング図である。

【図7】 従来のPLL回路の構成を示すブロック図である。

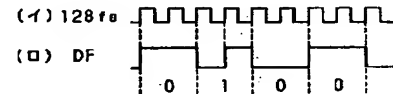
【符号の説明】

11…入力端子、12…データ・クロック抽出回路、16…入力検出回路、17a…フェイズコンパレータ、20a…LPF、21…VCO、27～29…分周回路、34～36…分周回路、37…セクタ、38…レンジカウンタ、39分周回路。

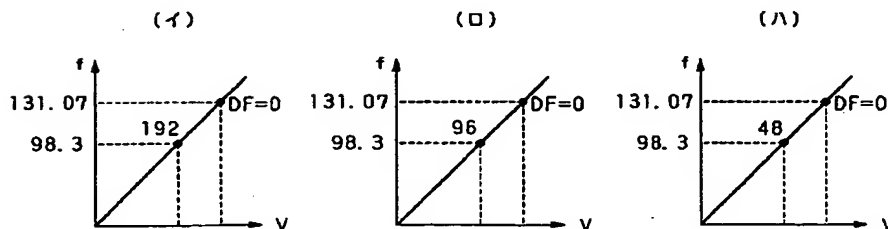
【図1】



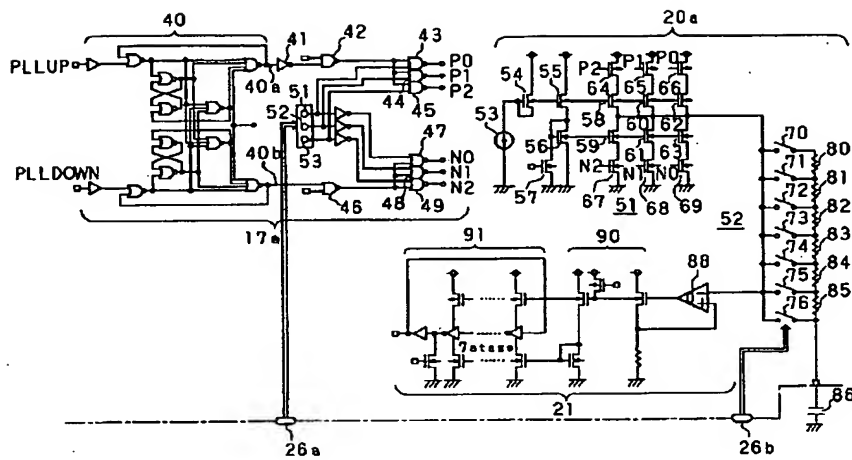
【図5】



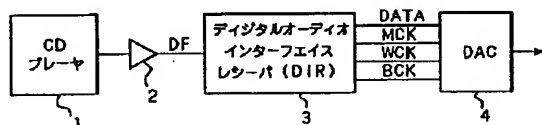
【図3】



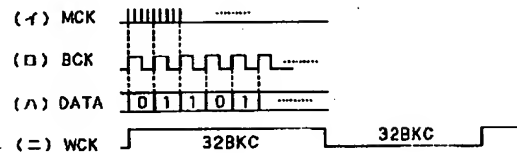
【図2】



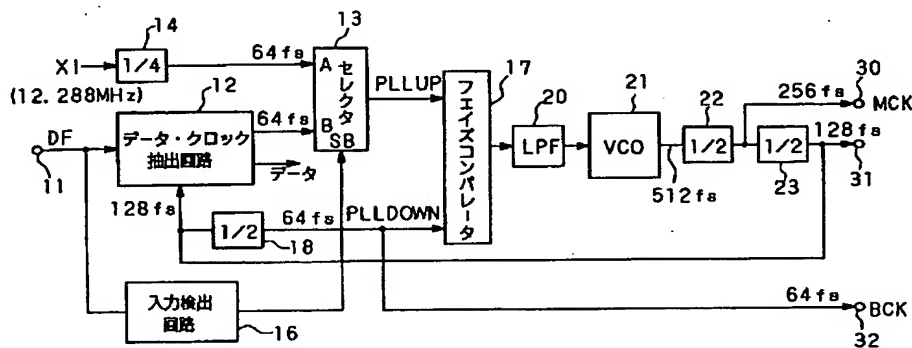
【図4】



【図6】



【図7】



フロントページの続き

(72)発明者 安井 彰司  
静岡県浜松市中沢町10番1号 ヤマハ株式  
会社内  
(72)発明者 白柳 亨  
静岡県浜松市中沢町10番1号 ヤマハ株式  
会社内

(72)発明者 石嶋 清  
静岡県浜松市中沢町10番1号 ヤマハ株式  
会社内



F ターム(参考) 5J106 AA04 BB04 CC01 CC21 CC38  
CC41 CC53 DD09 DD17 DD43  
EE01 EE08 FF01 FF06 GG18  
HH10 KK03 LL01 LL02 LL04  
PP03 QQ09 RR01 RR03 RR06  
RR12 RR20 SS01 SS02 SS03  
5K047 AA02 AA03 AA05 GG03 GG07  
GG11 MM33 MM46 MM50 MM55  
MM63